

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-310981

(P2000-310981A)

(43) 公開日 平成12年11月7日 (2000.11.7)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5
G 0 5 F 3/26		G 0 5 F 3/26	
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 H
	6 2 3		6 2 3 A

審査請求 未請求 請求項の数14 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2000-46408 (P2000-46408)

(22) 出願日 平成12年2月23日 (2000.2.23)

(31) 優先権主張番号 特願平11-48327

(32) 優先日 平成11年2月25日 (1999.2.25)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 板倉 哲朗

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(74) 代理人 100058479

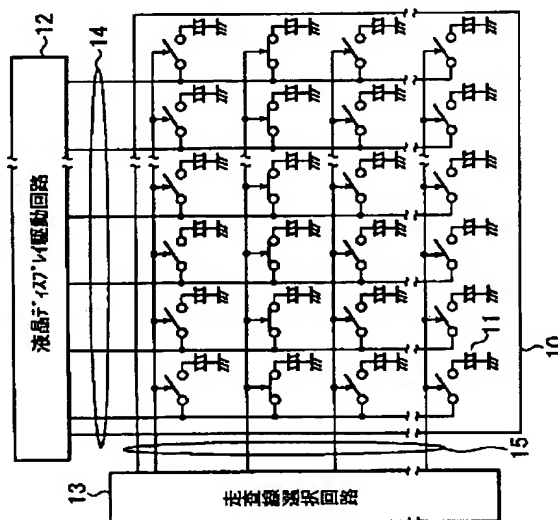
弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 集積回路装置及びこれを用いた液晶ディスプレイ装置

(57) 【要約】

【課題】 チップ間のバイアス電流のばらつきを少なく、チップ間での消費電流や特性の差を小さくした集積回路装置を提供する。

【解決手段】 複数の増幅回路11~1Nを同一チップ内に集積化した集積回路装置において、バイアス電流を設定するための電流I_{bias}を受けるダイオード接続された複数の入力側トランジスタMR1~MRNと、電流I_{bias}に対応した出力電流を増幅回路11~1Nにバイアス電流としてそれぞれ供給する複数の出力トランジスタM1~MNからなるカレントミラー回路を有し、入力側トランジスタMR1~MRNは複数の電子回路11~1N内に分散して配置される。



【特許請求の範囲】

【請求項 1】複数の電子回路を同一チップ内に集積化した集積回路装置において、

バイアス電流を設定するための入力電流を受けるダイオード接続された複数の入力側トランジスタと、前記入力電流に対応した出力電流を前記電子回路にバイアス電流としてそれぞれ供給する複数の出力トランジスタからなるカレントミラー回路を有し、

前記複数の入力側トランジスタは、前記複数の電子回路内に分散して配置されることを特徴とする集積回路装置。

【請求項 2】前記複数の電子回路は、チップ内に列をなして集積化されており、

前記入力側トランジスタは、前記複数の電子回路の列の L 個 (L は、1 以上の正数) おきの電子回路内に分散して配置されることを特徴とする請求項 1 記載の集積回路装置。

【請求項 3】前記複数の電子回路は、チップ内に列をなして集積化されており、

前記入力側トランジスタは、前記複数の電子回路内のダイオード接続されたトランジスタのうち、前記複数の電子回路の列の M 個 (M は、1 以上の正数) おきに P 個 (P は、 $P \leq M$ の正数) のみを前記出力側トランジスタと共にカレントミラー回路を形成するように結線して使用されることを特徴とする請求項 1 記載の集積回路装置。

【請求項 4】複数の電子回路を同一チップ内に列をなして集積化した集積回路装置において、

バイアス電流を設定するための入力電流を受けるダイオード接続された少なくとも二つの入力側トランジスタと、前記入力電流に対応した出力電流を前記電子回路にバイアス電流としてそれぞれ供給する複数の出力トランジスタからなるカレントミラー回路を有し、

前記少なくとも二つの入力側トランジスタは、前記複数の電子回路の列の両端に配置されることを特徴とする集積回路装置。

【請求項 5】複数の画素と各画素に画像信号を選択的に与えるための信号線及び該信号線と交差する走査線が配列形成された液晶ディスプレイと、

画像信号を増幅して前記信号線に供給する増幅回路群を含んで構成され、前記信号線を駆動する駆動回路と、前記走査線を選択する選択回路とを有する液晶ディスプレイ装置において、

前記増幅回路群は、所定の複数の増幅回路ずつ同一チップ内に集積化されており、チップ毎に、バイアス電流を設定するための入力電流を受けるダイオード接続された複数の入力側トランジスタと、前記入力電流に対応した出力電流を前記増幅回路にバイアス電流としてそれぞれ供給する複数の出力トランジスタからなるカレントミラー回路を有し、前記複数の入力側トランジスタは、前記

複数の増幅回路内に分散して配置されることを特徴とする液晶ディスプレイ装置。

【請求項 6】複数の画素と各画素に画像信号を選択的に与えるための信号線及び該信号線と交差する走査線が配列形成された液晶ディスプレイと、

画像信号を増幅して前記信号線に供給する増幅回路群を含んで構成され、前記信号線を駆動する駆動回路と、前記走査線を選択する選択回路とを有する液晶ディスプレイ装置において、

10 前記増幅回路群は、所定の複数の増幅回路ずつ同一チップ内に列をなして集積化されており、チップ毎に、バイアス電流を設定するための入力電流を受けるダイオード接続された少なくとも二つの入力側トランジスタと、前記入力電流に対応した出力電流を前記増幅回路にバイアス電流としてそれぞれ供給する複数の出力トランジスタからなるカレントミラー回路を有し、前記少なくとも二つの入力側トランジスタは、前記複数の増幅回路の列の両端に配置されることを特徴とする液晶ディスプレイ装置。

20 【請求項 7】複数の電子回路と、
バイアス電流を設定するための設定電圧を受けて出力電流を前記電子回路にバイアス電流として供給する複数の出カトランジスタと、
前記複数の電子回路内に分散して配置され、前記設定電圧を受けて監視電流を出力する複数の監視トランジスタと、
前記監視電流と設定入力電流との差に応じた電圧を増幅して前記設定電圧を出力する増幅器と、
により構成される集積回路装置。

30 【請求項 8】前記増幅器は、ソースフォロア或は、エミッタフォロアにて構成される請求項 7 記載の集積回路装置。

【請求項 9】前記増幅器は、前記複数の出カトランジスタとともにカレントミラーを構成するダイオード接続されたトランジスタを有する出力段を含む請求項 7 記載の集積回路装置。

40 【請求項 10】前記複数の電子回路は、1 チップ内にアレイ状に集積化されており、ダイオード接続された前記トランジスタは並列に接続された複数のトランジスタにより構成され、前記複数の電子回路の M 個 (M は、1 以上の正数) おきに前記電子回路内に分散して配置される請求項 9 の集積回路装置。

【請求項 11】前記複数の電子回路は、1 チップ内にアレイ状に集積化されており、前記監視トランジスタは、前記複数の電子回路の L 個 (L は、1 以上の正数) おきに前記電子回路内に分散して配置される請求項 7 記載の集積回路装置。

50 【請求項 12】前記複数の電子回路は 1 チップ内にアレイ状に集積化され、前記監視トランジスタは、前記複数の電子回路のアレイの両端に配置され、前記設定電圧を

受けて監視電流を出力する少なくとも2つの監視トランジスタを有する請求項7記載の集積回路装置。

【請求項13】前記複数の電子回路は、1チップ内にアレイ状に集積化されており、前記ダイオード接続されたトランジスタは並列接続された少なくとも2つのトランジスタを有し、前記複数の電子回路のアレイの両端に配置される請求項7記載の集積回路装置。

【請求項14】複数の画素と、各画素に画像信号を選択的に与えるための信号線とその信号線と交差する走査線が配列形成された液晶ディスプレイと、
所定数の単位で複数のチップ内に集積化され、画像信号を増幅して前記信号線に供給する増幅回路群と、
前記信号線を駆動する駆動回路と、
前記走査線を選択する選択回路とで構成される液晶ディスプレイ装置であって、
前記チップの各々は、バイアス電流を設定するための設定電圧を受けて出力電流を前記増幅回路にバイアス電流として供給する複数の出力トランジスタと、前記複数の増幅回路内に分散して配置され、前記設定電圧を受けて監視電流を出力する複数の監視トランジスタと前記監視電流と設定入力電流の差に応じた電圧を増幅して前記設定電圧を出力する増幅器とにより構成される、液晶ディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多数の増幅回路などの電子回路を集積化した集積回路装置及び液晶ディスプレイ装置に係り、特にチップ間のバイアス電流のばらつきを低減させた集積回路装置およびこれを駆動回路の増幅回路として用いた液晶ディスプレイ装置に関する。

【0002】

【従来の技術】本発明は、多数の増幅回路などの電子回路を集積化した集積回路装置及び液晶ディスプレイ装置に係り、特にチップ間のバイアス電流のばらつきを低減させた集積回路装置およびこれを駆動回路の増幅回路として用いた液晶ディスプレイ装置に関する。

【0003】従来の液晶ディスプレイ装置におけるディスプレイ駆動回路は、デジタル画像信号（以下、RGB信号）を記憶する、一水平ラインに必要な画素数と同数の第1の記憶素子と、RGB信号を記憶するタイミングパルスを転送するシフトレジスタと、記憶素子に記憶されたRGB信号を一水平期間の周期でさらに記憶する第2の記憶素子と、第2の記憶素子に記憶された一水平ラインのRGB信号をアナログ値に変換するD/A変換器（DAC）群と、このDAC群によりアナログ値に変換されたRGB信号を入力し、液晶ディスプレイパネルの信号線及び液晶セルを駆動するための増幅回路群から構成される。アナログ値に変換されたRGB信号の電圧が印加された液晶セルは、電圧値に応じて光の透過率を変えて、対応する画素の明るさを決定する。

【0004】ここで、増幅回路群のバイアス電流は、1つのバイアス回路で発生されたバイアス信号に従って設定される。具体的には、バイアス回路内で発生した電流I_{bias}を該バイアス回路内に設けられたダイオード接続されたトランジスタに供給し、このトランジスタのゲート電圧を増幅回路群の各増幅回路に供給する。

【0005】各増幅回路では、トランジスタのゲート電圧が各増幅回路のトランジスタのゲートに印加され電流に変換される。この変換電流がバイアス電流として用いられる。すなわち、バイアス回路のトランジスタと増幅回路のトランジスタはカレントミラー回路を構成し、バイアス回路のトランジスタがカレントミラー回路の入力側トランジスタ、増幅回路のトランジスタがカレントミラー回路の出力側トランジスタとなる。

【0006】液晶ディスプレイ装置の仕様にもよるが、増幅回路群に含まれる増幅回路の個数は、例えば液晶ディスプレイパネルにアモルファスシリコンTFTを用いたもので、3000個というように非常に多い。従って、集積回路化に当たり増幅回路群を1チップで構成することは困難であるため、複数のチップで構成することが一般的である。この場合、バイアス回路も各チップ毎に設けられることになる。一般には、1チップ内に300個程度の増幅回路が組み込まれる。

【0007】これら増幅回路はチップ内に列をなして集積化されており、カレントミラー回路の入力側トランジスタ（バイアス回路のトランジスタ）は、この増幅回路の列のいずれかの端に配置されている。例えば、左端の増幅回路の隣に入力側トランジスタが配置されている。

【0008】バイアス回路のトランジスタおよび増幅回路のトランジスタには通常、MOSトランジスタが用いられる。MOSトランジスタの閾値電圧（V_t）は、一般に異なるチップ間でも同一チップ内でも、ある範囲内ではばらつきを生じる。ここで、増幅回路のトランジスタの閾値電圧がばらついても、1チップ内の増幅回路の個数が300個といったように多いときには、一般に異なるチップ間でも増幅回路内のトランジスタのばらつき具合に大差はない。

【0009】しかし、バイアス回路内のダイオード接続されたトランジスタの閾値電圧がチップ間でばらつくと、このばらつきに応じて増幅回路内のトランジスタに流れるバイアス電流がばらつくため、これがチップ間の消費電流の差や特性の差として現れる。チップ間の消費電流の差は、液晶ディスプレイ装置の電源設計に重要な影響を及ぼすため、好ましくない。また、チップ間の特性のばらつきは、液晶ディスプレイ装置の画質を劣化させる要因となる。

【0010】

【発明が解決しようとする課題】上述したように、従来の液晶ディスプレイ装置に使用される増幅回路におけるバイアス回路構成では、チップ内の増幅回路の多数のト

ランジスタに流れるバイアス電流がチップ間でばらつくことにより、チップ間で消費電流や特性が異なってしまうという問題点があった。

【0011】本発明は、チップ間のバイアス電流のばらつきが少なく、チップ間での消費電流や特性の差を小さくした集積回路装置及びこれを駆動回路に用いて設計を容易とし、かつ画質劣化を低減させた液晶ディスプレイ装置を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、複数の電子回路と、バイアス電流を設定するための入力電流を受け、前記複数の電子回路内に分散して配置され、ダイオード接続された複数の入力側トランジスタと、入力電流に対応した出力電流を複数の電子回路にバイアス電流としてそれぞれ供給する複数の出力トランジスタからなるカレントミラー回路とを1チップ内に集積化した集積回路装置を提供する。

【0013】本発明によると、複数の電子回路はチップ内にアレイ状に集積化され、入力側トランジスタは複数の電子回路の列のL個(Lは、1以上の正数)おきの電子回路内に分散して配置される。

【0014】本発明によると、複数の電子回路はチップ内にアレイ状に集積化され、複数の電子回路内のダイオード接続された入力側トランジスタのうち、複数の電子回路の列のM個(Mは、1以上の正数)の入力側トランジスタおきにP個(Pは、 $P \leq M$ の正数)のみを前記出力側トランジスタと共にカレントミラー回路を形成するように結線して使用される。

【0015】このように本発明の集積回路装置では、各電子回路内のバイアス電流を発生する出力側トランジスタとともにカレントミラー回路を構成するダイオード接続された複数の入力側トランジスタが設けられ、これらトランジスタが分散して配置されることにより、チップ毎の入力側トランジスタの閾値電圧のばらつきの平均値がチップ間でほぼ均等になる。従って、入力側トランジスタと出力側トランジスタのマッチングが向上し、チップ間での消費電流や特性の差が低減される。

【0016】本発明は、複数の画素と各画素に画像信号を選択的に与えるための信号線及び該信号線と交差する走査線が配列形成された液晶ディスプレイと、画像信号を増幅して前記信号線に供給する増幅回路群を含んで構成され、前記信号線を駆動する駆動回路と、前記走査線を選択する選択回路とで構成され、前記増幅回路群は、所定数の単位で複数のチップ内に集積化され、前記チップの各々は、バイアス電流を設定するための入力電流を受け、ダイオード接続された複数の入力側トランジスタと、前記入力電流に対応した出力電流を前記増幅回路にバイアス電流としてそれぞれ供給する複数の出力トランジスタからなるカレントミラー回路を集積化しており、前記複数の入力側トランジスタは、前記チップの各々に

組み込まれた前記複数の増幅回路内に分散して配置される、液晶ディスプレイ装置を提供する。

【0017】このように本発明による集積回路装置を用いて液晶ディスプレイ装置の駆動回路における増幅回路群を構成すると、チップ間での消費電流や特性の差が小さいために、特に電源の設計が容易であり、かつ特性ばらつきによる画質劣化の少ない液晶ディスプレイ装置を実現することができる。

【0018】本発明は、バイアス電流を設定するための設定電圧を受けて出力電流を前記電子回路にバイアス電流として供給する複数の出力トランジスタと、前記複数の電子回路内に分散して配置され、前記設定電圧を受けて監視電流を出力する複数の監視トランジスタと、前記監視電流と設定入力電流との差に応じた電圧を増幅して前記設定電圧を出力する増幅器とにより構成される集積回路装置を提供する。

【0019】本発明は、複数の画素と、各画素に画像信号を選択的に与えるための信号線とその信号線と交差する走査線が配列形成された液晶ディスプレイと、画像信号を増幅して前記信号線に供給する増幅回路群と、前記信号線を駆動する駆動回路と、前記走査線を選択する選択回路とで構成され、前記増幅回路群は、所定数の単位で複数のチップ内に集積化され、前記チップの各々は、バイアス電流を設定するための設定電圧を受けて出力電流を前記増幅回路にバイアス電流として供給する複数の出力トランジスタと、前記複数の増幅回路内に分散して配置され、前記設定電圧を受けて監視電流を出力する複数の監視トランジスタと、前記監視電流と設定入力電流の差に応じた電圧を増幅して前記設定電圧を出力する増幅器とにより構成される液晶ディスプレイ装置を提供する。

【0020】

【発明の実施の形態】図1は、本発明を適用した液晶ディスプレイ装置を示している。この液晶ディスプレイ装置は、液晶ディスプレイパネル10と、画像信号を信号線に供給するための液晶ディスプレイ駆動回路12、及び走査線を選択的に駆動する走査線選択回路13により構成される。液晶ディスプレイパネル10はマトリクス状に配列される多数の液晶セル11と、画像信号が供給される複数の信号線14と、これら信号線14と交差している複数の走査線15により構成される。

【0021】液晶ディスプレイ装置のディスプレイ駆動回路12はデジタル画像信号(以下、RGB信号)を記憶する一水平ラインに必要な画素数と同数の記憶素子22と、RGB信号を記憶するタイミングパルスを送送するシフトレジスタ21と、記憶素子22に記憶されたRGB信号を一水平期間の周期でさらに記憶する記憶素子23と、記憶素子23に記憶された一水平ラインのRGB信号をアナログ値に変換するD/A変換器(DAC)群24と、DAC群24によりアナログ値に変換さ

れたRGB信号を入力し、液晶ディスプレイパネルの信号線14及び液晶セル11を駆動するための増幅回路群25から構成される。アナログ値に変換されたRGB信号の電圧が印加された液晶セル11は、電圧値に応じて光の透過率を変えることで、対応する画素の明るさを決定する。

【0022】図3は、上記液晶ディスプレイ装置に用いられる本発明の第1の実施形態に係る1チップ構成の集積回路装置を示している。この集積回路装置は、複数(N)の増幅回路31~3Nを有する。増幅回路31~3Nは、例えば図1に示した液晶ディスプレイ装置の液晶ディスプレイ駆動回路12内に含まれる図2中の増幅回路群25の一部を構成しており、チップ内に図の左右方向に沿って直線状の列をなすように並べて配置されている。

【0023】増幅回路31~3Nには、ダイオード接続されたトランジスタMR1~MRNをそれぞれの入力側トランジスタとし、トランジスタM1~MNをそれぞれの出力側トランジスタとするバイアス用のカレントミラー回路がそれぞれ設けられている。これらのトランジスタMR1~MRN、M1~MNは、この例ではMOSトランジスタにより構成される。

【0024】入力側トランジスタMR1~MRNのゲートとドレインは互いに接続され、即ちダイオード接続され、さらにバイアス電流設定用の電流 I_{bias} が供給されるライン、即ちバイアス電流設定ラインBLに接続されている。入力側トランジスタMR1~MRNのソースは、電源ラインVssに接続されている。出力側トランジスタM1~MNのゲートは、入力側トランジスタMR1~MRNのゲートおよびドレイン、つまりバイアス電流設定ラインBLに接続され、ソースは電源ラインVssに接続される。さらに、出力側トランジスタM1~MNのドレインは、増幅回路11~1N内のバイアス電流を受ける回路に接続される。

【0025】本実施形態では、上述のようにバイアス回路を構成するカレントミラー回路における入力側トランジスタMR1~MRNが各増幅回路31~3Nに分散し*

$$I_d \propto k(V_{gs} - V_t)^2$$

但し、 V_{gs} はMOSトランジスタのゲート・ソース電圧、 V_t はスレショルド電圧、そしてkは係数である。

【0032】多数個のトランジスタが設けられる場合、ドレイン電流の和 I_d は次式(2)(3)のように表さ

*て配置されている点の特徴である。即ち、本実施形態では、バイアス電流設定ラインBLからのバイアス電流設定用の電流 I_{bias} がN個の増幅回路31~3NのトランジスタMR1~MRNに入力される。これら入力側トランジスタMR1~MRNが増幅回路31~3Nのバイアス電流を発生させる出力側トランジスタM1~MNに近接して配置される。即ち、図4に示されるように入力側トランジスタMRが出力側トランジスタMに近接配置される。図4の回路パターンが増幅回路31~3Nの全体について回路パターンを構成すると図5に示されるように各々が図4の回路パターンを示す複数の回路パターンが一系列に接続された形態となる。

【0026】このような本実施形態の構成により、以下のようにして従来の問題点が解決される。

【0027】ダイオード接続された入力側トランジスタMR1~MRNのそれぞれのゲート・ソース間電圧は、トランジスタMR1~MRNのそれぞれに I_{bias}/N の電流が流れたときのトランジスタMR1~MRNの各々のゲート・ソース電圧の平均値に近い値となる。

【0028】ここで、入力側トランジスタMR1~MRNの閾値電圧(V_t)のばらつきを ΔV_{Ri} とし、出力側トランジスタM1~MNの閾値電圧のばらつきを ΔV_i とする。このとき、 ΔV_{Ri} の統計的期待値はゼロであり、 ΔV_{Ri} の実際の平均値も統計的期待値に近い値をとる、即ちゼロに近い値となる。このため、入力側トランジスタMR1~MRNの閾値電圧、つまりゲート・ソース間電圧のチップ間でのばらつきを低減することができる。一方、出力側トランジスタM1~MNの閾値電圧のばらつき ΔV_i には、チップ間で大きな差はない。従って、増幅回路31~3Nによる消費電流のチップ間での差を低減することができ、増幅回路31~3Nのチップ間での特性の差も低減させることができる。

【0029】上記のことを更に説明すると以下のようになる。

【0030】MOSトランジスタに流れるドレイン電流 I_d は次式で表される。

【0031】

(1)

れる。 ΔV_t は閾値電圧 V_t のばらつきを表す。

【0033】

【数1】

9

$$I_d \propto \sum_i k(V_{GS} - V_t + \Delta V_i)^2$$

10

(2)

$$I_d \propto \sum_i k(V_{GS} - V_t)^2 + 2(V_{GS} - V_t) \Delta V_i + \Delta V_i^2$$

(3)

閾値電圧のばらつき ΔV_i はトランジスタの数が増えると、

$\sum_i \Delta V_i$ は統計的にゼロに近くなる。

また、 $\sum_i \Delta V_i^2$ は $\sum_i (V_{GS} - V_t)^2$ に比べて非常に小さく無視できる。

従って

$$I_d \propto \sum_i k(V_{GS} - V_t)^2$$

(4)

【0034】と近似できる。よって、ドレイン電流の和 * 表される。

I_d はほぼ一定となる。同様に、バイアス電流 I_b につ 【0035】
いて考えると、バイアス電流 I_b は次式(5)のように*

$$I_b \propto k(V_{GS} - V_t + \Delta V_R)^2$$

(5)

多数個のMOSトランジスタがあると、バイアス電流 I_b ※【0036】

は次式(6)のように表される。但し、 ΔV_R はトラ 【数2】
ンジスタMR_j の閾値電圧のばらつきを表す。 ※

$$I_b \propto \sum_j^M k(V_{GS} - V_t + \Delta V_{Rj})^2$$

(6)

$$\propto \sum_j^M k(V_{GS} - V_t)^2 + \sum_j k(V_t - V_{GS}) \Delta V_{Rj} + \sum_j k \Delta V_{Rj}^2$$

(7)

【0037】閾値電圧のばらつき ΔV_R はトランジスタ
の数が増えると統計的にゼロに近くなる。故に、第2の
項は統計的にゼロと見なせる。また、 $\sum \Delta V_{Rj}^2$ は $\sum (V_{GS}$
 $- V_t)^2$ に比べて非常に小さいので無視できる。従って、
バイアス電流 I_b は $(V_{GS} - V_t)^2$ で決まり、実質的に V
 $_{GS}$ は変化しない。つまり、所定のバイアス電流 I_b を
複数個並列に接続したトランジスタに加えれば、各々の
トランジスタの V_t にばらつきがあっても、チップ間で
ばらつきが生じないことになる。

【0038】このように本実施形態によると、増幅回路
31～3Nのチップ間での消費電流の差および特性の差
を低減できる。従って、これらの増幅回路31～3Nを
集積化したチップを例えば図2中に示した増幅回路群2
5に適用して、図1に示した液晶ディスプレイ装置の液
晶ディスプレイ駆動回路12を構成すると、集積化され
た液晶ディスプレイ駆動回路12のチップ間での消費電
流および特性のばらつきを小さくできるので、その設
計、特に電源の設計が容易になると共に、特性のばらつ
きによる画質劣化を低減することができる。

【0039】次に、図6を用いて本発明の第2の実施形
態に係る集積回路装置について説明する。

【0040】第1の実施形態では、前述したようにカレ
ントミラー回路の入力側トランジスタMR1～MRNは
1チップ内の増幅回路31～3Nの個数Nで除したサイ
ズを持つ。ここで、増幅回路31～3Nの個数Nは、例
えば300というような大きな値をとることが多いの

で、入力側トランジスタMR1～MRNはサイズの非常
に小さなトランジスタとなり、事実上形成するのが不可
能となるか、もしくは非常に困難となる場合がある。

【0041】図6に示す本実施形態は、この点を改良し
たものであり、列をなすように配置された複数(N)の
増幅回路41～4NのL個(Lは、1以上の正数、本実
施形態ではL=2)毎に増幅回路内に、入力側トランジ
スタMR1～MR(N/L)が分散して配置されてい
る。言い換えれば、入力側トランジスタの分割数をN/
Lとして、その分割された入力側トランジスタMR1～
MR(N/L)がL個おきの増幅回路41、43、…、
4Nに配置されている。

【0042】なお、第1の実施形態と同様に、入力側ト
ランジスタMR1～MR(N/L)のゲートおよびドレ
インは電流 I_{bias} が供給されるバイアス電流設定ライン
に接続され、ソースは電源ライン V_{SS} に接続されてい
る。

【0043】このようにすると、入力側トランジスタM
R1～MR(N/L)のサイズは、第1の実施形態の場
合に比較してN/Lとなり、集積化がより容易となる。
また、第1の実施形態とほぼ同様の効果を得ることがで
きる。

【0044】図7は、本発明の第3の実施形態に係る集
積回路装置の構成を示している。チップ内に列をなして
配置された複数(N)の増幅回路51～5Nのダイオー
ド接続されたトランジスタのうち、増幅回路51～5N

の列のM個(Mは、1以上の正数)おきのP個(Pは、 $P \leq M$ の正数)のみが出力側トランジスタと共にカレントミラー回路を形成するように結線して使用される。

【0045】図7は、 $M=2$ 、 $P=1$ の場合の例であり、1個おきの増幅回路51、53、…、5(N-1)内のダイオード接続されたトランジスタMR1、MR2、…、MR(N/2)のみ、ドレインおよびゲートがバイアス電流設定用の電流I_{bias}を供給するバイアス電流設定ラインに接続され、出力側トランジスタM1~MNと共にカレントミラー回路を構成している。他の増幅回路52、…、5N内のダイオード接続されたトランジスタMD1、…、MD(N/2)は、ドレインおよびゲートが電源ラインV_{ss}に接続されており、カレントミラー回路を形成していない。

【0046】このようにすると、集積回路化に適した構成となる。一般的に、同一の複数の回路を集積化するとき、レイアウトの効率を高めるために一つの基本パターンの回路のレイアウトを行い、これを繰り返し利用することが多い。本実施形態では、これを利用してレイアウト効率を高めている。

【0047】すなわち、図8(a)に示すようにダイオード接続されたトランジスタとダイオード接続されていないトランジスタからなる基本回路に対応する、図9(a)に示される基本パターンがN組用意される。これらN組の基本パターンが列をなして配置される。そして、図8(b)に示すように、図8(a)の基本回路におけるダイオード接続されたトランジスタのドレインおよびゲートと、ダイオード接続されていないトランジスタのドレインをバイアス電流設定ライン(図の上側のライン)に接続し、さらに両トランジスタのソースを電源ラインV_{ss}(図の下側のライン)に接続する。これにより、図9(b)に示される回路パターンが形成される。この回路パターンが、例えば図7における入力側トランジスタMR1と出力側トランジスタM1に対応する。

【0048】また、図8(c)に示すように、図8(a)の基本パターンの回路におけるダイオード接続されていないトランジスタのドレインのみをバイアス電流設定ライン(図の上側のライン)に接続し、ダイオード接続されたトランジスタのドレイン、ゲートおよびソースと、ダイオード接続されていないトランジスタのソースを電源ラインV_{ss}(図の下側のライン)に接続する。これにより、図9(c)に示される回路パターンが形成される。この回路パターンは、例えば図7におけるカレントミラー回路を形成しないダイオード接続されたトランジスタMD1とカレントミラー回路の出力側トランジスタM2に相当する。

【0049】図6の増幅回路42の場合、図9(a)のトランジスタMRが無接続状態にされ、トランジスタMのみがバイアス設定ラインBLおよび電源ラインに接続

される。

【0050】図10は、本発明の第5の実施形態に係る集積回路装置の構成を示す図であり、チップ内に列状に配置された複数(N)の増幅回路61~6Nのアレイの両端に、カレントミラー回路のダイオード接続された入力側トランジスタMR1、MR2がそれぞれ配置されている。また、これまでの実施形態と同様にトランジスタMR1、MR2のゲートおよびドレインは電流I_{bias}が供給されるバイアス電流設定ラインBLに接続され、ソースは電源ラインV_{ss}に接続されている。

【0051】本実施形態によると、カレントミラー回路を形成する入力側トランジスタMR1、MR2と増幅回路61~6N内の出力側トランジスタM1~MNとの距離を短くして両トランジスタのマッチングを良くし、カレントミラー回路の特性ばらつきを低減することができる。

【0052】また、本実施形態では増幅回路61~6Nが既存の1チップ集積回路として存在している場合、この集積回路にトランジスタMR1、MR2を付加するのみで実現できるという利点がある。

【0053】図11は、本発明の第6の実施形態に係る集積回路装置の構成を示す。本実施形態は、チップ内に並べられた複数の増幅回路の途中にバイアス用のカレントミラー回路を設けた例である。すなわち、増幅回路71、…、7i、7(i+1)、…、7Nのうち、増幅回路7iとこれに隣接する増幅回路7(i+1)との間に、カレントミラー回路のダイオード接続された入力側トランジスタMR2、MR3が配置されている。さらに、本実施形態では第4の実施形態と同様に、両端の増幅回路71、7Nの外側にも、カレントミラー回路のダイオード接続された入力側トランジスタMR1、MR2がそれぞれ配置されている。

【0054】また、これまでの実施形態と同様に、それぞれの入力側トランジスタMR1、MR2、MR3、MR4のゲートおよびドレインは電流I_{bias}が供給されるバイアス電流設定ラインBLに接続され、ソースは電源ラインV_{ss}に接続されている。

【0055】次に、これまでの実施形態で説明した増幅回路を説明する。図12に示される増幅回路は入力増幅段と出力増幅段と抵抗R_fとにより構成される。入力増幅段は、差動トランジスタ対(a pair of differential transistors)を構成するトランジスタMp1、Mp2と該差動トランジスタ対にテール電流(tail current)を与えるトランジスタMp4による電流源(current source)および差動トランジスタ対の二つの出力端であるドレインに電流入力端および電流出力端が接続されたトランジスタMn1、Mn2によるカレントミラー回路とで構成される。出力増幅段は、トランジスタMp3、Mn3によるコンプリメンタリトランジスタ対によって構成される。なお、MpxはPチャネルMOSトランジスタ、M

n_x はNチャンネルMOSトランジスタをそれぞれ表す。

【0056】この増幅回路によると、出力増幅段の出力端（トランジスタMn3およびMp3のドレイン）と信号出力端子OUT間に挿入された抵抗Rfと容量性負荷CLの容量成分により、開ループ周波数特性に第1のゼロ点が形成され、このゼロ点で位相が進むことにより、ポールによる位相の遅れを補償することができる。すなわち、利得が1となるときの位相と -180° の差である位相余裕を大きくすることができるので、増幅回路の動作安定化のための位相補償容量Cfを基本的に必要とせず、また位相補償容量Cfを必要とする場合でも、その値は非常に小さくてよいので、チップ面積を削減することができる、という利点を有する。この作用については、米国特許出願No. 09/128, 414に詳しく説明されている。

【0057】ここで、図12におけるダイオード接続されたトランジスタMp5およびバイアス電流源Ib1は、トランジスタMp3、Mp4のゲートバイアスを決定するため、カレントミラー回路の出力側トランジスタMi ($i=1, 2, \dots, N$)によって構成される。

【0058】図13は、他の増幅回路を示す。図12に示した増幅回路では、破線で示すように出力増幅段の出力端（トランジスタMn3およびMp3のドレイン）から負側の信号入力端子IN⁻に帰還を施したボルテージフォロア構成の場合、立上りのスルーレート(slew rate)はトランジスタMp3から供給される電流と容量性負荷CLの値により決定され、トランジスタMp3から供給される電流が小さいため、十分なスルーレートが得られない。

【0059】この点を改善するため、図13の増幅回路は入力信号電圧が正側に変動したことを検出して、出力増幅段のバイアス電流を供給するトランジスタMp3の出力電流を増加させることにより、立上りのスルーレートを改善している。すなわち、トランジスタMn4、Mp6により入力信号電圧が正極性に变化したことを検出し、入力信号電圧が正極性に変動したときにトランジスタMp7をオンさせて、電流源ILより供給される電流をトランジスタMp3のゲートバイアスを決定しているダイオード接続されたトランジスタMp5に流し、トランジスタMp3のゲートバイアスの電圧を大きくする構成となっている。

【0060】さらに詳細に説明すると、トランジスタMp6は電流源を構成し、そのゲートはバイアス電流決定用トランジスタMp5のドレインおよびゲートに接続されている。トランジスタMp7はゲートがトランジスタMn4およびMp6のドレインに接続され、ソースがバイアス電流決定用トランジスタMp5のドレインおよびゲートに接続され、ドレインが電流源ILに接続されている。

【0061】説明を簡単にするために、トランジスタM

n4と入力増幅段2のトランジスタMn1は同一サイズ、つまりW/L (WはMOSトランジスタのチャンネル幅、LはMOSトランジスタのチャンネル長) が同一であるとし、また、トランジスタMp6のサイズ(W/L) Mp6は、入力増幅段2の電流源トランジスタMp4のサイズ(W/L) Mp4の0.6倍であるとする。

【0062】信号入力端子IN⁺、IN⁻間に印加される電圧がゼロまたは負のとき、つまり、正側の信号入力端子IN⁺の電圧が負側の信号入力端子IN⁻の電圧より低いときは、トランジスタMn1にトランジスタMp4から供給される電流の半分以下の電流が流れ、このトランジスタMn1の電流がトランジスタMn4によりコピーされる。このとき、トランジスタMp6から供給される電流は、トランジスタMp4より供給される電流の0.6倍であり、トランジスタMn4に流れる電流より大きいいため、トランジスタMp6のドレイン電圧が高くなり、トランジスタMp7はオフとなるため、電流源ILから供給される電流はトランジスタMp5に加算されない。

【0063】一方、信号入力端子IN⁺、IN⁻間に印加される入力信号電圧が所定の正極性の電圧以上のとき、つまり、正側の信号入力端子IN⁺の電圧が負側の信号入力端子IN⁻の電圧より所定値以上高いときは、トランジスタMn1にトランジスタMp4から供給される電流の0.6倍より大きい電流が流れ、このトランジスタMn1の電流がトランジスタMn4によりコピーされる。このとき、トランジスタMp6から供給される電流は、トランジスタMp4から供給される電流の0.6倍であり、トランジスタMn4に流れる電流より小さいため、トランジスタMp6のドレイン電圧が低くなり、トランジスタMp7はオンとなる。これにより、電流源ILから供給される電流はトランジスタMp7を介してバイアス電流決定用トランジスタMp5に加算されるため、トランジスタMp5のゲート・ソース間電圧は大きくなり、トランジスタMp3から供給される電流も大きくなる。

【0064】このように図13の増幅回路は、入力信号電圧が正極性に变化するときに出力増幅段3のトランジスタMp3から供給される電流が大きくなるように制御できるので、立上りのスルーレートを改善することができるという利点を有する。

【0065】ここで、図12および図13におけるダイオード接続されたトランジスタMp5およびバイアス電流源Ib1は、トランジスタMp3、Mp4のゲートバイアスを決定するためのものであり、バイアス電流源Ib1が先に示したカレントミラー回路の出力側トランジスタMi ($i=1, 2, \dots, N$)によって構成される。さらに、図13における電流源ILについても同様に構成することができる。

【0066】図14は、本発明の第6の実施形態に係る

集積回路装置を示す。この集積回路装置は、複数(N)の増幅回路120-1~120-Nを有する。増幅回路120-1~120-Nは、例えば、図1に示した液晶ディスプレイ装置の液晶ディスプレイ駆動回路12内に含まれる、図2中の増幅回路群25の一部を構成しており、例えば、チップ内に図の左右方向に沿って直線状に配列される。増幅回路120-1~120-Nには、バイアス電流供給用のトランジスタM1~MNと、バイアス電流供給用のトランジスタM1~MNから供給されるバイアス電流を監視するため、同じゲート電圧を入力する監視トランジスタMF1~MFNがそれぞれ設けられている。即ち、増幅回路120-1~120-Nの各々は、ゲートが互いに接続され、かつソースが互いに接続される、バイアス電流供給用のトランジスタM1~MNの1つと監視トランジスタMF1~MFNの1つとにより構成される。監視トランジスタMF1~MFNの各々のドレインはトランジスタMB1とMB2で構成されるカレントミラー回路に接続される。

【0067】バイアス電流設定用の電流I_{bias}は、トランジスタMB1とMB2で構成されるカレントミラー回路を介して、監視トランジスタMF1~MFNから出力される電流の和と比較され、トランジスタMB2のドレイン端で電流の差に応じた電圧に変換され、増幅器A1により増幅され、トランジスタM1~MNとトランジスタMF1~MFNのゲートに共通に印加される。

【0068】説明を簡単にするため、例えば、出力トランジスタM_i (i=1~N)は各々同じサイズであり、また、監視トランジスタMF_i (i=1~N)のサイズも各々同じとする。さらに、トランジスタMF_i (i=1~N)のゲート幅/ゲート長(以下、W/L)をトランジスタM_i (i=1~N)のW/Lの1/Nとする。全てのトランジスタM_iならびに全てのトランジスタMF_iのマッチングが取れている場合、トランジスタM_iとトランジスタMF_iのゲートに同じ電圧が印加されているので、トランジスタMF_iに流れる電流I_{fi}は、トランジスタM_iに流れる電流I_iの1/Nである。トランジスタMF_iのドレインは共通に接続されているので、トランジスタMF_iに流れる電流は加算され、その和はトランジスタM_iに流れる電流I_iと等しくなる。

【0069】このトランジスタMF_iに流れる電流の和は、設定したい電流I_{bias}とトランジスタMB2のドレ*

$$I_d \propto \sum_i k (V_{GS} - V_t + \Delta V_{Fi})^2 \quad (8)$$

$$I_d \propto \sum_i k (V_{GS} - V_t + \Delta V_{Fi})^2 + 2(V_{GS} - V_t) \Delta V_{Fi} + \Delta V_{Fi}^2 \quad (9)$$

$$\sum_i 2k (V_{GS} - V_t) \Delta V_{Fi} \text{ はゼロに近似し、} \sum_i \Delta V_{Fi}^2 \text{ は } \sum_i (V_{GS} - V_t)^2 \text{ より}$$

非常に小さいので、式(9)は下記のように近似する。即ち、

$$I_d \propto \sum_i k (V_{GS} - V_t)^2 \quad (10)$$

* イン端で比較され、電流I_{bias}がトランジスタMF_iに流れる電流の和より大きい場合には、トランジスタMB2のドレイン電圧が高くなる。このドレイン電圧は、増幅器A1にて増幅され、トランジスタM_iならびにトランジスタMF_iのゲート電圧を高くして、トランジスタMF_iに流れる電流を大きくし、トランジスタMF_iに流れる電流の和が電流I_{bias}と同じになる。また、逆に電流I_{bias}がトランジスタMF_iに流れる電流の和より小さい場合は、トランジスタMB2のドレイン電圧が低くなる。このドレイン電圧は、増幅器A1にて増幅され、トランジスタM_iならびにトランジスタMF_iのゲート電圧を低くして、トランジスタMF_iに流れる電流を小さくし、トランジスタMF_iに流れる電流の和が電流I_{bias}と同じになる。

【0070】本実施形態では、上述したように各増幅回路120-1~120-Nに分散して監視トランジスタが配置されている点が特徴である。つまり、従来は1個であった監視トランジスタMFが、本実施形態では増幅回路120-1~120-Nの個数Nに対応するN個の監視トランジスタMF1~MFNが設けられ、これらの監視トランジスタMF1~MFNが各増幅回路120-1~120-Nのバイアス電流を発生させる出力トランジスタM1~MNに近接して配置される。

【0071】このような本実施形態の構成により、以下のようにして従来のトランジスタの閾値電圧のばらつきによる問題点が解決される。

【0072】監視トランジスタMF1~MFNに共通に加えられているゲート・ソース間電圧は、トランジスタMF1~MFNにそれぞれI_{bias}/Nの電流が流れた時のトランジスタMF1~MFNの各々のゲート・ソース間電圧の平均値に近い値となる。

【0073】ここで、監視トランジスタMF1~MFNの閾値電圧(V_t)のばらつきをΔV_Fとし、出力トランジスタM1~MNの閾値電圧のばらつきをΔV_Nとすると、ΔV_Fの統計的期待値はゼロであり、実際の平均値も統計的期待値に近い値、即ちゼロに近い値となる。トランジスタMF_iを流れる電流の合計は次のように表される：

【0074】

【数3】

【0075】これは、トランジスタMF9～MFNに流す電流の和が I_d のとき、閾値電圧のばらつき ΔV_{th} があっても $\Delta V_{th} = 0$ のときとほぼ等しいVGSとなることを意味する。従って、トランジスタM1～MNから供給されるバイアス電流の平均値は I_{bias} に近付くため、増幅回路120-1～120-Nの消費電流の和は、チップ間によらず、増幅回路120-1～120-Nの各々のバイアス電流が I_{bias} である時の増幅回路120-1～120-Nの消費電流の和に近付くので、チップ間の消費電流の差を低減することができる。また、消費電流のチップ間での差を低減することで、増幅回路120-1～120-Nのチップ間での特性の差も低減させることができる。このように本実施形態によると、増幅回路120-1～120-Nのチップ間での消費電流の差および特性の差を低減できる。従って、これらの増幅回路120-1～120-Nを集積化したチップを例えば図2中に示した増幅回路群25に適用して、図1に示した液晶ディスプレイ装置の液晶ディスプレイ駆動回路を構成すると、集積化された液晶ディスプレイ駆動回路12のチップ間での消費電流および特性のばらつきを小さくできるので、その設計、特にバイアス回路の設計が容易になると共に、特性のばらつきによる画質劣化を低減できる。

【0076】図15は、図14の集積回路装置の増幅器A1を、トランジスタMA1と電流源IB1とで構成したソースフォロアにて実現した第7の実施形態を示している。

【0077】図16は、第8の実施形態の集積回路装置を示している。この実施例によると、図14の集積回路装置の増幅器A1が、増幅器A1の入力電圧に応じた電流を発生させるトランジスタMA10と、このトランジスタMA10に流れる電流とバイアス電流IB2の差電流を入力とするダイオード接続されたトランジスタMA11と、トランジスタMA11と共にカレントミラーを構成し、トランジスタMA10に流れる電流とバイアス電流IB2の差電流を折り返して出力するトランジスタMA12と、この電流を入力するダイオード接続されたトランジスタMA13とより構成される。このトランジスタMA13は出力トランジスタM1～MNならびに監視トランジスタMF1～MFNとでカレントミラーを構成している。

【0078】説明を簡単にするため、トランジスタMA10～MA12のサイズは同じとし、トランジスタMA13のサイズはトランジスタM1～MNのサイズと等しいとする。また、 $IB2 = 2I_{bias}$ とする。

【0079】トランジスタMA10で増幅器A1の入力電圧に応じて発生した電流をバイアス電流IB2と比較し、差電流は、トランジスタMA11とMA12によるカレントミラーにて折り返される。この差電流が I_{bias} より大きい時、監視トランジスタMF1～MFNの各々

に流れる電流の平均値は、 I_{bias}/N より大きくなり、よって、監視トランジスタMF1～MFNの電流の和は I_{bias} より大きくなるため、トランジスタMB2のドレイン電圧は下がる。よって、増幅器A1の入力トランジスタMA10のゲート・ソース電圧が大きくなり、バイアス電流 I_{bias} との差電流が I_{bias} に近付く。

【0080】トランジスタMA10で増幅器A1の入力電圧に応じて発生した電流とバイアス電流 I_{bias} の差電流が I_{bias} より小さい時、監視トランジスタMF1～MFNの各々に流れる電流の平均値は、 I_{bias}/N より小さくなり、よって、監視トランジスタMF1～MFNの電流の和は I_{bias} より小さくなるため、トランジスタMB2のドレイン電圧は上がる。よって、増幅器A1の入力トランジスタMA10のゲート・ソース電圧が小さくなり、入力電圧に応じて発生した電流とバイアス電流 I_{bias} との差電流が I_{bias} に近付く。

【0081】一般に、監視トランジスタMFを1チップに集積化した増幅回路の個数Nで割ると、例えば、増幅回路の個数が300と大きな値をとることが多いので、監視トランジスタMF i ($i = 1 \sim N$)は、非常に小さなトランジスタとなり、事実上形成するのが不可能な場合がある。この時は、分割数を N/L (L は正数)とし、監視トランジスタMF i を増幅回路のL個おきに配置することでも同様の効果を得ることができる。

【0082】図17は、 $L = 2$ とした第9の実施形態に係る集積回路装置を示している。

【0083】図18の第10の実施形態に係る集積回路装置のように出力トランジスタM i ($i = 1 \sim N$)や監視トランジスタMF i ($i = 1 \sim N$)とカレントミラーを構成する増幅器A1のダイオード接続された複数のトランジスタMA13-1～MA13-($N/2$)が、増幅回路24-1～24-Nに複数の監視トランジスタMF i と交互に配置しても良い。

【0084】さらに、図19に示す第11の実施形態に係る集積回路装置のように、2つの監視トランジスタが、複数の増幅回路のアレイの両端に配置されることで、監視トランジスタMF1とMF2と増幅回路内のトランジスタM1～MNとの距離を短くし、マッチングを良くして、ばらつきを低減することもできる。この時、図20に示す第12の実施形態様のように増幅器A1のダイオード接続されたトランジスタMA13-1、13-2が、複数の増幅回路126-1～126-Nのアレイの両端に配置しても良い。

【0085】図21は、増幅器A1を差動増幅回路を用いて構成した第13の実施形態に係る集積回路装置を示す。これによると、差動増幅回路の負入力をダイオード接続したトランジスタMB1のドレインに接続することにより、トランジスタMB1とMB2のドレイン電圧が等しくなるように制御をかけることができる。これによりトランジスタMB1とMB2で構成されるカレントミ

ラーの精度も上げることができる。

【0086】図22に示す第14の実施形態に係る集積回路装置は、図21の増幅器A1に差動増幅回路を用いて構成されている。この差動増幅回路は、入力差動対をなすトランジスタMA22、MA23と入力差動対に電流を供給するトランジスタMA21と、トランジスタMA22の出力電流を入力し、増幅回路128-1~128-NのトランジスタM1~MNならびに監視トランジスタMF1~MFNと共にカレントミラーを構成するダイオード接続されたトランジスタMA24により構成される。この例では、差動増幅回路の入力電圧が差動増幅回路の動作範囲に入るよう、ダイオード接続したトランジスタMB3を用いてトランジスタMB1のドレイン電圧をレベルシフトしている。また、ダイオード接続したトランジスタMB4は、トランジスタMB2のドレイン電圧がトランジスタMB1のドレイン電圧と等しくなるように挿入したレベルシフト用のトランジスタである。

【0087】説明を簡単にするためトランジスタMA21のW/LはトランジスタMB1のW/Lの2倍とする。よって、トランジスタMA21には I_{bias} の2倍の電流が流れている。また、トランジスタMB3、MB4、MA22、MA23は同じサイズとする。さらに、トランジスタMA24とトランジスタM1~MNのサイズは等しいとする。

【0088】トランジスタMA23のゲートに印加される増幅器A1の正入力電圧は、トランジスタMA22のゲートに印加される負入力電圧、つまり、トランジスタMB1のドレイン電圧をダイオード接続したトランジスタMB3によりゲート・ソース間電圧分をレベルシフトした電圧と比較される。監視トランジスタMF1~MFNに流れる電流の和が、トランジスタMB1とMB2によりカレントミラーで折り返されたバイアス電流 I_{bias} より大きく、正入力電圧が負入力電圧より低い時は、トランジスタMA21から供給される電流の半分以上がトランジスタMA23に流れ、トランジスタMA22に流れる電流は I_{bias} より小さくなる。トランジスタMA22に流れる電流は、ダイオード接続したトランジスタMA24に流入され、トランジスタMA24のゲート電圧は小さくなり、監視トランジスタMF1~MFNに流れる電流の和が小さくなり、 I_{bias} に近付くように動作する。また、監視トランジスタMF1~MFNに流れる電流の和が、トランジスタMB1とMB2によりカレントミラーで折り返されたバイアス電流 I_{bias} より小さく、正入力電圧が負入力電圧より高い時は、トランジスタMA21から供給される電流の半分以上がトランジスタMA23に流れ、トランジスタMA22に流れる電流は I_{bias} より大きくなる。トランジスタMA22に流れる電流は、ダイオード接続したトランジスタMA24に流入され、トランジスタMA24のゲート電圧は大きくなり、監視トランジスタMF1~MFNに流れる電流の和

が大きくなり、 I_{bias} に近付くように動作する。

【0089】

【発明の効果】以上説明したように、本発明の集積回路装置では、複数の増幅回路などの電子回路のバイアス回路を構成するカレントミラー回路において、出力側トランジスタを各電子回路に設けると共に、入力側トランジスタを複数の電子回路に分散して配置するか、あるいは両側の電子回路に隣接して配置することにより、チップ間での入力側トランジスタの閾値電圧のばらつきを小さくして、チップ間での消費電流や特性の差を小さくすることができる。

【0090】また、本発明によれば、このような集積回路装置を駆動回路に用いて特に電源の設計が容易で、しかもチップ間の特性差による画質劣化を低減させた液晶ディスプレイ装置を提供することができる。

【0091】更に、複数の監視トランジスタが、各回路内のバイアス電流を発生する出力トランジスタに隣接して配置されることにより、監視トランジスタと各回路内のバイアス電流を発生するトランジスタのマッチングを向上することができ、チップ間での消費電流や特性の差を低減することができる。

【0092】更に、本発明による集積回路装置を用いて液晶ディスプレイ装置の駆動回路における増幅回路群を構成すると、チップ間での消費電流や特性の差が小さいために、特性ばらつきによる画質劣化の少ない液晶ディスプレイ装置を実現することができる。

【図面の簡単な説明】

【図1】液晶ディスプレイ装置の構成を示す図

【図2】図1における液晶ディスプレイ駆動回路の構成を示す図

【図3】本発明の第1の実施形態に係る集積回路装置の構成を示す図

【図4】入力側トランジスタと出力側トランジスタとの配列パターンを示す図

【図5】図3の集積回路装置のトランジスタ配列パターンを示す図

【図6】本発明の第2の実施形態に係る集積回路装置の構成を示す図

【図7】本発明の第3の実施形態に係る集積回路装置の構成を示す図

【図8】同実施形態を説明するためのバイアス回路部分の基本回路と最終回路を示す図

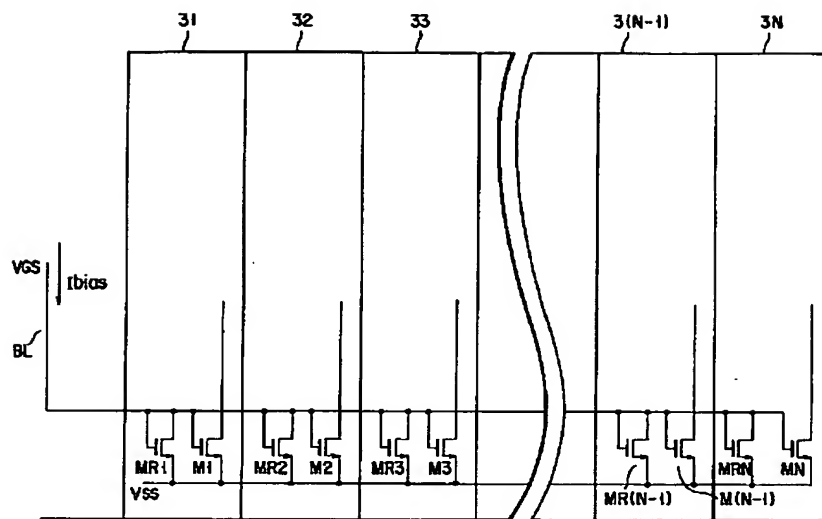
【図9】図8の基本回路および最終回路にそれぞれ対応する基本パターンおよび最終パターンを示す図

【図10】本発明の第4の実施形態に係る集積回路装置の構成を示す図

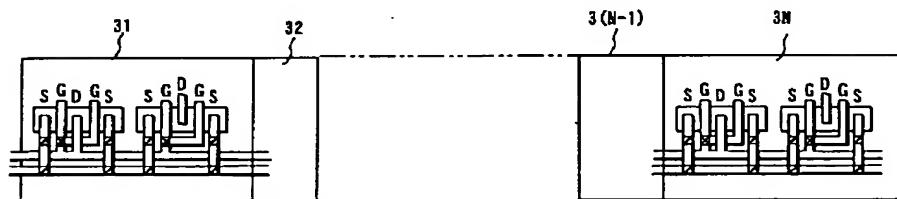
【図11】本発明の第5の実施形態に係る集積回路装置の構成を示す図

【図12】本発明が適用される増幅回路の構成例を示す図

【図3】



【図5】



【図6】

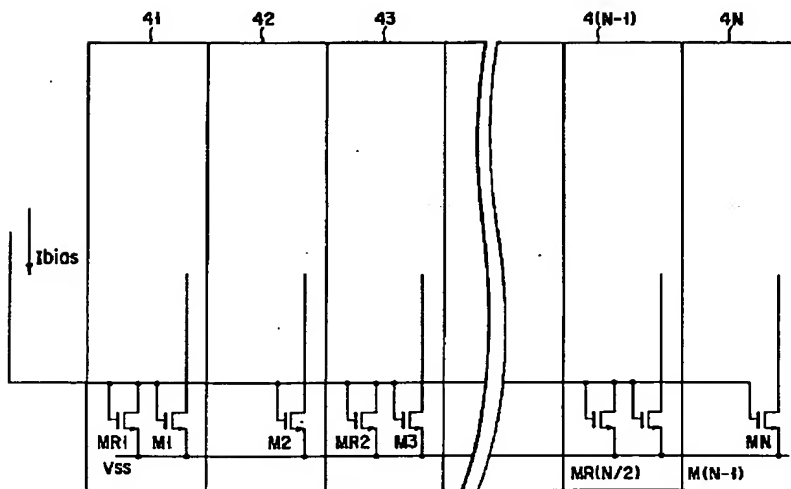
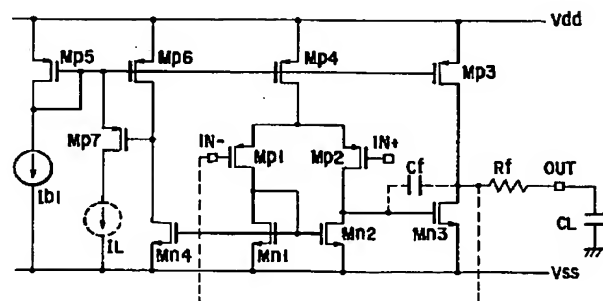
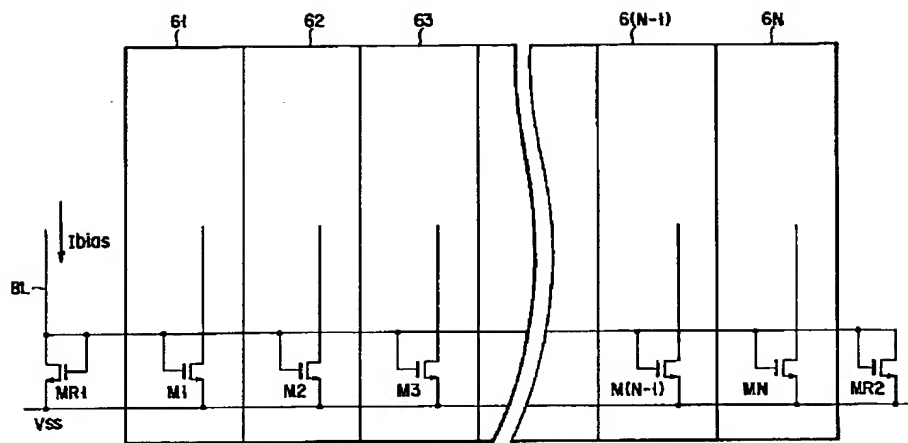


Figure 1 consists of two schematic diagrams. Diagram (a) is a top view of the array, showing a grid of vertical and horizontal gates. The gates are labeled S, G, D, MR, and M. The gates are arranged in a way that they overlap to form a central channel region. Diagram (b) is a cross-sectional view of the array, showing the vertical stack of layers. The layers are labeled VGS, GND, and the various gates (S, G, D, MR1, M1). The gates are shown as vertical rectangles that overlap to form a central channel region.

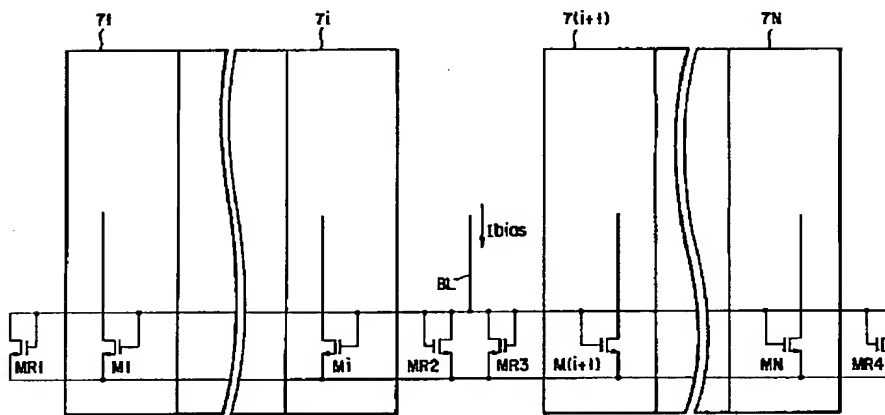
(c) shows a cross-sectional view of the proposed device structure. It features a central channel region with a gate stack (G) and source/drain regions (S). The structure is built on a substrate with a VGS (Gate Voltage Supply) and GND (Ground) layer.



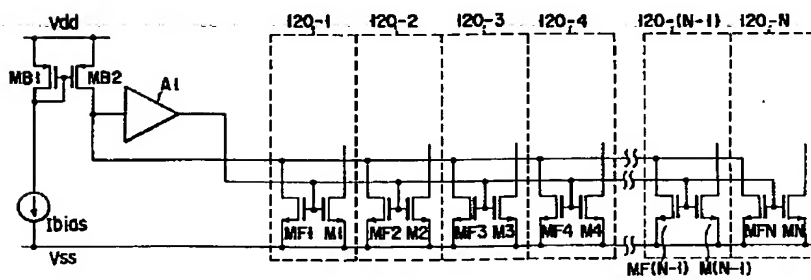
【図10】



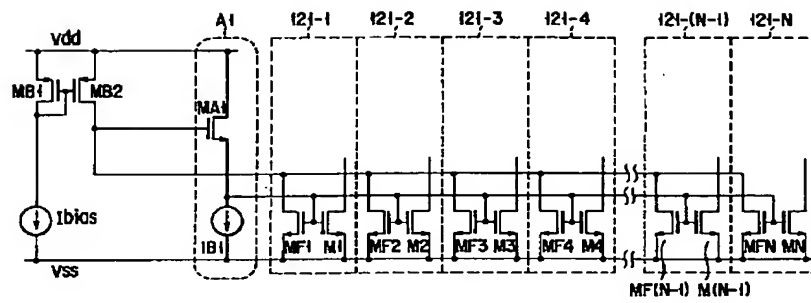
【図11】



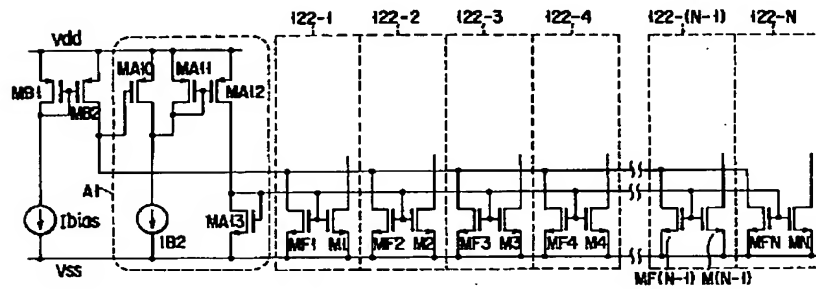
【図14】



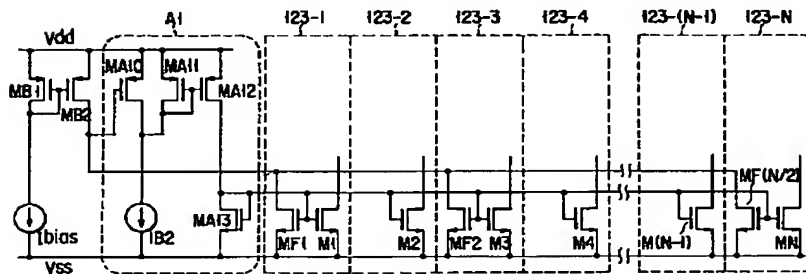
【図15】



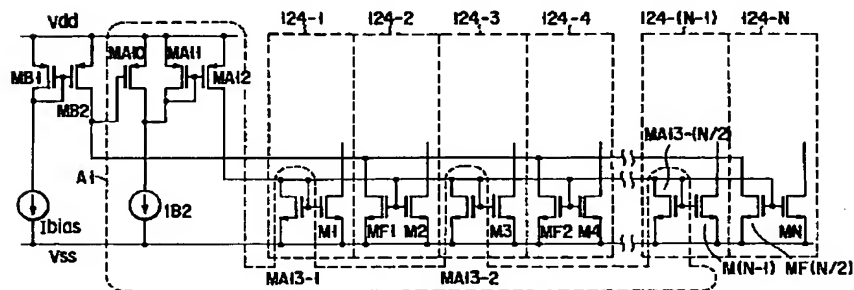
【図16】



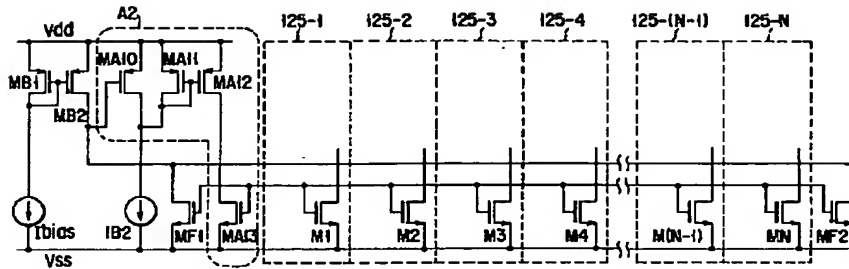
【図17】



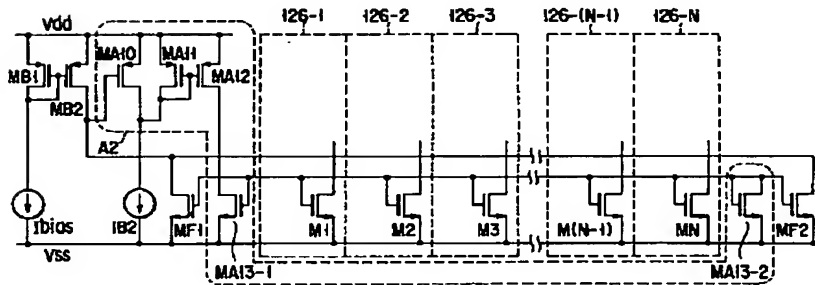
【図18】



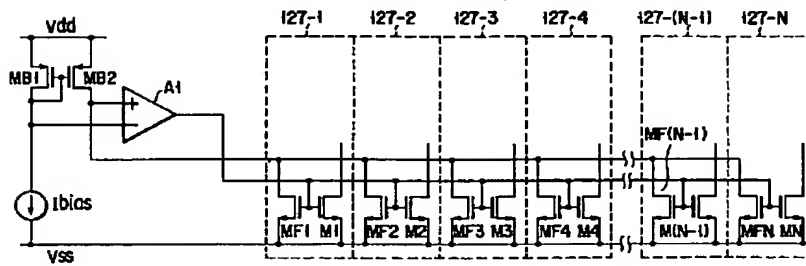
【圖 19】



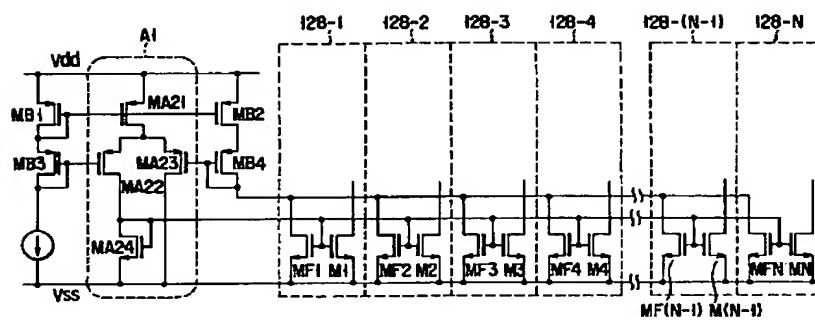
【圖20】



【図 2 1】



【図22】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テーマコード (参考)	
H 0 1 L	27/04	H 0 3 F	3/343	A
	21/822		3/68	Z
H 0 3 F	3/343	H 0 4 N	5/66	1 0 2 B
	3/68	H 0 1 L	27/04	B
H 0 4 N	5/66	1 0 2		